

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hideki NARUOKA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR WAFER INSPECTING METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-293613	October 7, 2002

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak
Registration No. 24,913

James D. Hamilton
Registration No. 28,421



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application: 2002年10月 7日

出願番号

Application Number: 特願2002-293613

[ST.10/C]:

[JP2002-293613]

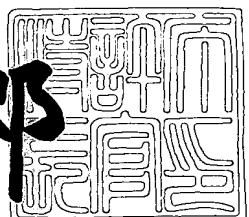
出願人

Applicant(s): 三菱電機株式会社

2002年11月 5日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3086974



【書類名】 特許願
 【整理番号】 540780JP01
 【提出日】 平成14年10月 7日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/66
 【発明者】
 【住所又は居所】 東京都千代田区丸の内二丁目 2番 3号 三菱電機株式会社内
 【氏名】 成岡 英樹
 【特許出願人】
 【識別番号】 000006013
 【氏名又は名称】 三菱電機株式会社
 【代理人】
 【識別番号】 100089233
 【弁理士】
 【氏名又は名称】 吉田 茂明
 【選任した代理人】
 【識別番号】 100088672
 【弁理士】
 【氏名又は名称】 吉竹 英俊
 【選任した代理人】
 【識別番号】 100088845
 【弁理士】
 【氏名又は名称】 有田 貴弘
 【手数料の表示】
 【予納台帳番号】 012852
 【納付金額】 21,000円
 【提出物件の目録】
 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体ウェーハの検査方法

【特許請求の範囲】

【請求項1】 (a) 半導体ウェーハに対し所定の検査対象項目を含む検査を行い、少なくとも検査規格を満足しない規格外部の前記半導体ウェーハ上の位置が認識可能な検査情報を得るステップと、

(b) 前記半導体ウェーハに対応する仮想ウェーハを所定の分割条件で仮想的に分割することにより、複数の仮想分割単位セルが仮想的に配置された仮想分割ウェーハを生成するステップと、

(c) 前記検査情報を前記仮想分割ウェーハ上で照合することにより、前記複数の仮想分割単位セルのうち前記規格外部を含む規格外セル及び前記規格外部を含まない規格内セルの数を求めるステップと、

(d) 前記複数の仮想分割単位セルの総数に対する前記規格内セルの数の比である使用可能セル率を求めるステップと、
を備える半導体ウェーハの検査方法。

【請求項2】 請求項1記載の半導体ウェーハの検査方法であって、
前記所定の検査対象項目は複数種の検査対象項目を含み、
前記検査情報は複数種の検査対象項目それぞれの前記規格外部の前記半導体ウェーハ上の位置が認識可能な情報を含む、
半導体ウェーハの検査方法。

【請求項3】 請求項1あるいは請求項2記載の半導体ウェーハの検査方法であって、

前記所定の分割条件は複数種の分割条件を含み、
前記仮想分割ウェーハは、前記複数種の分割条件で仮想的に分割される複数種の仮想分割ウェーハを含み、
前記ステップ(c)は、
前記検査情報を前記複数種の仮想分割ウェーハそれぞれ上で照合し、前記複数種の仮想分割ウェーハそれぞれにおける前記規格外セル及び前記規格内セルの数を求めるステップを含み、

前記ステップ(d)は、

前記複数種の仮想分割ウェーハそれぞれにおける前記使用可能セル率を求める
ステップを含み、

前記半導体ウェーハの検査方法は、

(e)前記複数種の仮想分割ウェーハそれぞれにおける前記使用可能セル率に基
づき、前記半導体ウェーハの良否を総合的に判定するステップを、
さらに備える、

半導体ウェーハの検査方法。

【請求項4】 請求項1ないし請求項3のうち、いずれか1項に記載の半導
体ウェーハの検査方法であって、

前記半導体ウェーハはSOI構造のウェーハであるSOIウェーハを含み、

前記所定の検査対象項目は前記SOIウェーハのSOI層の膜厚を含む、
半導体ウェーハの検査方法。

【請求項5】 請求項1ないし請求項3のうち、いずれか1項に記載の半導
体ウェーハの検査方法であって、

前記半導体ウェーハはSOI構造のウェーハであるSOIウェーハを含み、

前記所定の検査対象項目は前記SOIウェーハの埋込絶縁層の膜厚を含む、
半導体ウェーハの検査方法。

【請求項6】 請求項1ないし請求項3のうち、いずれか1項に記載の半導
体ウェーハの検査方法であって、

前記半導体ウェーハはSOI構造のウェーハであるSOIウェーハを含み、

前記所定の検査対象項目は前記SOIウェーハのSOI層の損失あるいは前記
SOI層及び埋込絶縁層の損失を含む、

半導体ウェーハの検査方法。

【請求項7】 請求項1ないし請求項3のうち、いずれか1項に記載の半導
体ウェーハの検査方法であって、

前記半導体ウェーハはエピタキシャルウェーハを含み、

前記所定の検査対象項目は前記エピタキシャルウェーハのヒロック状の欠陥を
含む、

半導体ウェーハの検査方法。

【請求項8】 請求項1ないし請求項3のうち、いずれか1項に記載の半導体ウェーハの検査方法であって、

前記所定の検査対象項目はCOP(Crystal Originated Particle)を含む、

半導体ウェーハの検査方法。

【請求項9】 請求項1ないし請求項8のうち、いずれか1項に記載の半導体ウェーハの検査方法であって、

前記所定の分割条件は前記半導体ウェーハ上に実際に形成される実デバイスの形状及びサイズに基づく条件を含む、

半導体ウェーハの検査方法。

【請求項10】 請求項1ないし請求項8のうち、いずれか1項に記載の半導体ウェーハの検査方法であって、

前記仮想ウェーハは第1及び第2の検査対象領域を含み、

前記複数の仮想分割単位セルは前記第1及び第2の検査対象領域内にそれぞれ存在する複数の第1及び第2仮想分割単位セルを含み、

前記検査規格は互いに異なる第1及び第2の検査規格を含み、

前記規格外部は第1及び第2の規格外部を含み、

前記規格内セルは第1及び第2の規格内セルを含み、

前記規格外セルは第1及び第2の規格外セルを含む、

前記検査情報は、前記第1の検査対象領域に対して前記第1の検査規格に満足しない前記第1の規格外部、及び前記第2の検査対象領域に対して前記第2の検査規格に満足しない前記第2の規格外部を認識可能な情報を含み、

前記ステップ(c)は、

前記複数の第1仮想分割単位セルのうち前記第1の規格外部を含む前記第1の規格外セル及び前記第1の規格外部を含まない前記第1の規格内セルの数を求めるとともに、前記複数の第2仮想分割単位セルのうち前記第2の規格外部を含む前記第2の規格外セル及び前記第2の規格外部を含まない前記第2の規格内セルの数を求めるステップを含む、

半導体ウェーハの検査方法。

【請求項11】 請求項10記載の半導体ウェーハの検査方法であって、
前記第1の検査対象領域はメモリセル領域を含み、
前記第2の検査対象領域は周辺領域を含む、
半導体ウェーハの検査方法。

【請求項12】 請求項1ないし請求項11のうち、いずれか1項に記載の
半導体ウェーハの検査方法であって、

(f)前記ステップ(d)で得た使用可能セル率に基づき、前記半導体ウェーハの価
値判断を行うステップ、
をさらに備える半導体ウェーハの検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体ウェーハ等の半導体基板に発生する欠陥等に基づき半導体ウ
エーハの良否を検査する半導体ウェーハの検査方法に関する。

【0002】

【従来の技術】

半導体デバイスは半導体ウェーハと呼ばれる円盤状の半導体基板上に形成され
る。この半導体ウェーハ上のゴミや、半導体ウェーハの欠陥、膜厚、抵抗等の面
内の品質バラツキは、形成される半導体デバイスの特性に悪影響を及ぼし、歩留
まり低下の原因となるため、半導体ウェーハの出荷規格は非常に厳しく、かつ半
導体ウェーハ全面で規格を満足するかどうかを検査によって判定し、合格品のみ
出荷している。

【0003】

しかしながら、デバイスの微細化に伴い、半導体ウェーハに求められる品質レ
ベルが向上すると、大量の不合格品が発生する。さらに、半導体ウェーハはその
口径を拡大させており、品質を保証する面積も増大するため、不合格率はさらに
増大し、半導体ウェーハのコストアップにつながり、さらに環境、省エネルギー
からの観点からも無駄が多い。

【0004】

半導体ウェーハの良否判断を行う従来の方法は、例えば特許文献1において開示されている。この方法は、半導体ウェーハ上に存在する欠陥の個数を欠陥数として検出するとともに、複数のチップにおいて欠陥の存在するチップ数として検出し、当該欠陥数及びチップ数を予め設定された基準欠陥チップ数及び基準欠陥数と比較することにより、半導体ウェーハの良否判断を行っている。この際、複数のチップとして仮想チップを設定する場合もあった。

【0005】

【特許文献1】 特開平12-126736号公報

【0006】

【発明が解決しようとする課題】

従来の半導体ウェーハの良否判定は以上のように行われおり、厳しすぎる条件で検査を行う傾向が強く、本来は正常な半導体ウェーハまで不良と判断してしまうため、半導体ウェーハを有効利用できていないという問題点があった。

【0007】

この発明は上記問題点を解決するためになされたもので、より正確な検査が可能な半導体ウェーハの検査方法を得ることを目的とする。

【0008】

【課題を解決するための手段】

この発明に係る請求項1記載の半導体ウェーハの検査方法は、(a)半導体ウェーハに対し所定の検査対象項目を含む検査を行い、少なくとも検査規格を満足しない規格外部の前記半導体ウェーハ上の位置が認識可能な検査情報を得るステップと、(b)前記半導体ウェーハに対応する仮想ウェーハを所定の分割条件で仮想的に分割することにより、複数の仮想分割単位セルが仮想的に配置された仮想分割ウェーハを生成するステップと、(c)前記検査情報を前記仮想分割ウェーハ上で照合することにより、前記複数の仮想分割単位セルのうち前記規格外部を含む規格外セル及び前記規格外部を含まない規格内セルの数を求めるステップと、(d)前記複数の仮想分割単位セルの総数に対する前記規格内セルの数の比である使用可能セル率を求めるステップとを備えている。

【0009】

【発明の実施の形態】

<実施の形態1>

図1はこの発明の実施の形態1である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

【0010】

同図を参照して、ステップS1で、半導体ウェーハ1に対して検査Aに基づく検査を行う。検査Aは所定の検査対象項目（対象品質項目）についての検査である。

【0011】

続いて、ステップS2で、検査Aの検査結果に基づき規格を満足するか否かの良否判定を行い、検査規格を満たさなかった箇所を規格外部Aとして検出する。そして、規格外部Aに関する検査情報（検査工程、（半導体ウェーハ1上の位置を示す）座標、サイズ、画像、含有不純物等）が検査結果情報データベースD3に付与されることにより格納される。

【0012】

そして、ステップS3、S4において、ステップS1、S2で示した検査Aと同様にして、検査Aとは検査対象項目が異なる検査Bが実行され、規格外部Bに関する検査情報が検査結果情報データベースD3に格納される。

【0013】

さらに、ステップS5、S6において、ステップS1、S2で示した検査Aと同様にして、検査A及び検査Bとは検査対象項目が異なる検査Cが実行され、規格外部Cに関する検査情報が検査結果情報データベースD3に格納される。

【0014】

図2はステップS1～S6の実行後における検査結果情報データベースD3の格納データに基づく半導体ウェーハの規格外部状況（マップ）を示す説明図である。同図に示すように、半導体ウェーハ1上に規格外部A、規格外部B及び規格外部Cとされた欠陥2A、欠陥2B及び欠陥2Cが示される。このように、検査結果情報データベースD3に格納された規格外部A～Cに関する検査情報を再構築することにより、半導体ウェーハ1のどの位置にどのような規格外部が存在す

るかを示す統合した情報を得ることができる。すなわち、検査結果情報データベースD3は、精度の高い良否判定が可能な情報となっている。

【0015】

図1に戻って、ステップS11において、仮想分割単位セルのセルサイズ及び形状等を規定する分割セルサイズデータD1及び仮想分割単位セルの半導体ウェーハ1上の配置等を規定する分割セル配置データD2に基づき、半導体ウェーハに相当する仮想ウェーハが所定サイズ及び形状の複数の仮想分割単位セルによって仮想的に分割された仮想分割ウェーハ20を生成する。すなわち、ステップS11は、分割条件を規定する分割セルサイズデータD1及び分割セル配置データD2に基づき仮想分割ウェーハ20を生成する。

【0016】

図3は仮想分割ウェーハの一例を示す説明図である。同図に示すように、仮想ウェーハ10を配置し、仮想ウェーハ10を仮想分割線11によって矩形状のセルに分割し、これら分割セルのうち、全領域が仮想ウェーハ10上に存在するセルを仮想分割単位セル12とする。この際、仮想分割単位セル12を一部領域が仮想ウェーハ10上に存在するセルとしても良い。

【0017】

図3の例では、全領域が仮想ウェーハ上に存在する仮想分割単位セル12の総数は66個となり、一部領域が仮想ウェーハ上に存在する仮想分割単位セルの総数は112個となる。

【0018】

図3に示すように、X, Yの仮想座標軸を設けることにより、各仮想分割単位セルの座標を表すこともできる。なお、本実施の形態では図3の実線で示す通り、全領域が仮想ウェーハ10上に存在するセルを仮想分割単位セル12として以降説明する。

【0019】

図1に戻って、ステップS12において、検査結果情報データベースD3を仮想分割ウェーハ20上で照合することにより、規格外部含有仮想分割セル数C0を算出する。

【0020】

図4は規格外含有仮想分割セル数（以下、「規格外セル」と略する場合あり）の算出内容を示す説明図である。同図に示すように、半導体ウェーハ1上の規格外とみなされた欠陥を仮想分割ウェーハ20上に位置ズレなく対応づける。その結果、欠陥2A～2Cのいずれかを内部に存在する仮想分割単位セル12を規格外セル12dと決定し、これら規格外セル12dの数が規格外セル数C0となる。一方、欠陥2A～2Cのいずれをも内部に存在しない仮想分割単位セル12を規格内セル12gと決定し、これら規格内セル12gの数が規格内セル数C1となる。

【0021】

図1に戻って、ステップS13において、使用可能領域率PUA(Percent Usable Area)を求める。すなわち、全仮想分割単位セル数C10と規格内セル数C1により、使用可能領域率PUA(%) $(=(C1/C10)*100)$ を求める。この使用可能領域率PUAによって、全仮想分割単位セル内で規格を満足している仮想分割単位セル12の割合（使用可能セル率）を数値として認識することができる。

【0022】

例えば、図4の例では、全仮想分割単位セル数C10は66個、規格内セル数C1は63個、規格外セル数C0は3個であり、使用可能領域率PUAは94.45%（小数点第3位を四捨五入）となる。

【0023】

本実施の形態では、使用可能領域率PUAを仮想分割単位セル12単位で決定しているため、単純に欠陥数により良否を判定する場合に比べて精度の高い良否判定が行える。

【0024】

例えば、「欠陥数が2個以下であること」を規格とした場合、欠陥が3個以上存在した場合は常に規格外となり不良品扱いとなる。すなわち、欠陥の発生位置が全く考慮されていない。

【0025】

しかしながら、本実施の形態は欠陥が半導体ウェーハ上に散在した場合と一つの仮想分割単位セル12に集中した場合とで使用可能領域率PUAが異なる値となり、規格外部の欠陥の発生位置を考慮した（「欠陥が3個以上発生しても実質的に欠陥数が2個以下とみなしてよい」等）良否結果を数値として得ることができる。すなわち、本来は良品扱いすべきである半導体ウェーハを確実に良品と判定することができる。

【0026】

このように、半導体製品サイズ等に相当する仮想分割単位セル12を品質規格の対象単位とした使用可能領域率PUAを用いることにより、良否判定精度の向上を図ることができ、その結果、半導体ウェーハの有効利用を図ることができる。

【0027】

加えて、使用可能領域率PUAは、全仮想分割単位セル数C10に対する規格内セル数C1の割合であるため、半導体ウェーハのサイズ及び全仮想分割単位セル数C10等の変更によっても、精度に変化は生じることはなく、同様の良否判定精度を維持することができる。

【0028】

図1に戻って、ステップS7において、ステップS13で得た使用可能領域率PUAに基づき良否判定を行い、最終的な出荷の判断を行う。この際、使用可能領域率PUAに基づき価格設定を行うことにより、実デバイスの規格外部の影響を加味した価格設定が可能となる。

【0029】

<実施の形態2>

図5はこの発明の実施の形態2である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。但し、ステップS1～S7の処理は基本的に、図1で示した実施の形態1と同様であるため、図示を省略している。以下、同図を参照して、実施の形態2の処理手順を説明する。

【0030】

ステップS11Aにおいて、図1のステップS11と同様に、品種Aの分割セ

ルサイズデータD1A及び分割セル配置データD2Aに基づき、半導体ウェーハに相当する仮想ウェーハを所定サイズ及び形状のセル（仮想分割単位セル12A）で仮想的に分割した仮想分割ウェーハ20Aを生成する。

【0031】

ステップS11Aと同様に、ステップS11Bにおいて、品種Bの分割セルサイズデータD1B及び分割セル配置データD2Bに基づき、半導体ウェーハに相当する仮想ウェーハを所定サイズ及び形状のセル（仮想分割単位セル12B）で仮想的に分割した仮想分割ウェーハ20Bを生成する。

【0032】

ステップS11Aと同様に、ステップS11Cにおいて、品種Cの分割セルサイズデータD1C及び分割セル配置データD2Cに基づき、半導体ウェーハに相当する仮想ウェーハを所定サイズ及び形状のセル（仮想分割単位セル12C）で仮想的に分割した仮想分割ウェーハ20Cを生成する。

【0033】

図6は品種Aの仮想分割ウェーハ20Aを示す説明図である。同図に示すように、仮想分割ウェーハ20Aは、仮想ウェーハ10が仮想分割線11Aに基づき仮想分割単位セル12Aに分割されている。この仮想分割単位セル12Aの総数（＝66）が全仮想分割単位セル数C10Aとなる。

【0034】

図7は品種Bの仮想分割ウェーハ20Bを示す説明図である。同図に示すように、仮想分割ウェーハ20Bは、仮想ウェーハ10が仮想分割線11Bに基づき仮想分割単位セル12Bに分割されている。この仮想分割単位セル12Bの総数（＝40）が全仮想分割単位セル数C10Bとなる。

【0035】

図8は品種Cの仮想分割ウェーハ20Cを示す説明図である。同図に示すように、仮想分割ウェーハ20Cは、仮想ウェーハ10が仮想分割線11Cに基づき仮想分割単位セル12Cに分割されている。この仮想分割単位セル12Cの総数（＝120）が全仮想分割単位セル数C10Cとなる。なお、仮想分割単位セル12A～12C間のセルサイズは品種C、品種A、品種Bの順に大きく設定され

ている。

【0036】

図5に戻って、ステップS12Aにおいて、図1のステップS12と同様、検査結果情報データベースD3を仮想分割ウェーハ20A上で照合することにより、規格外セル数C0A及び規格内セル数C1Aを算出する。

【0037】

同様に、ステップS12Bにおいて、検査結果情報データベースD3を仮想分割ウェーハ20B上で照合することにより、規格外セル数C0B及び規格内セル数C1Bを算出する。

【0038】

同様に、ステップS12Cにおいて、検査結果情報データベースD3を仮想分割ウェーハ20C上で照合することにより、規格外セル数C0C及び規格内セル数C1Cを算出する。

【0039】

ステップS121Aに続いて、ステップS13Aにおいて、全仮想分割単位セル数C10Aと規格内セル数C1Aとにより、使用可能領域率PUA-A(%)
(= (C1A / C10A) * 100)を求める。

【0040】

同様に、ステップS13Bにおいて、全仮想分割単位セル数C10Bと規格内セル数C1Bとにより、使用可能領域率PUB-B(%) (= (C1B / C10B) * 100)を求める。

【0041】

同様に、ステップS13Cにおいて、全仮想分割単位セル数C10Cと規格内セル数C1Cとにより、使用可能領域率PUC-C(%) (= (C1C / C10C) * 100)を求める。

【0042】

その後、ステップS14において、使用可能領域率PUA-A～Cに基づき半導体ウェーハの用途を決定する。以下、ステップS14の処理内容を実例を挙げて説明する。

【0043】

図9～図11はそれぞれ検査結果情報データベースD3として格納された検査済み半導体ウェーハの欠陥状況をウェーハマップ状に示した模式図である。図9で示す半導体ウェーハ21は欠陥無し、図10で示す半導体ウェーハ22は3個の欠陥が検出され、図11で示す半導体ウェーハ23は6個の欠陥が検出された例を示している。

【0044】

図9で示した半導体ウェーハ21に対し、ステップS12A～S12C及びS13A～S13Cをそれぞれ実行することによって求められた使用可能領域率P_{UA-A}～P_{UA-C}は全て100%となる。

【0045】

図12～図14は、図10で示した半導体ウェーハ22に対する品種A～品種Cそれぞれの規格外セル数の算出内容を示す模式図である。

【0046】

図12に示すように、欠陥のいずれかを内部に存在する仮想分割単位セル12Aを規格外セル12Adと決定し、これら規格外セル12Adの数(=3)が規格外セル数C0Aとなる。一方、欠陥のいずれをも内部に存在しない仮想分割単位セル12Aを規格内セル12Agと決定し、これら規格内セル12Agの数(=63)が規格内セル数C1Aとなる。したがって、使用可能領域率P_{UA-A}=(63/66)*100=94.45%(小数点第3位を四捨五入)となる。

【0047】

図13に示すように、欠陥のいずれかを内部に存在する仮想分割単位セル12Bを規格外セル12Bdと決定し、これら規格外セル12Bdの数(=3)が規格外セル数C0Bとなる。一方、欠陥のいずれをも内部に存在しない仮想分割単位セル12Bを規格内セル12Bgと決定し、これら規格内セル12Bgの数(=37)が規格内セル数C1Bとなる。したがって、使用可能領域率P_{UA-B}=(37/40)*100=92.5%(小数点第3位を四捨五入)となる。

【0048】

図14に示すように、欠陥のいずれかを内部に存在する仮想分割単位セル12

Cを規格外セル12Cdと決定し、これら規格外セル12Cdの数(=3)が規格外セル数C0Cとなる。一方、欠陥のいずれをも内部に存在しない仮想分割単位セル12Cを規格内セル12Cgと決定し、これら規格内セル12Cgの数(=117)が規格内セル数C1Cとなる。したがって、使用可能領域率PUA-C=(117/120)*100=97.5%(小数点第3位を四捨五入)となる。

【0049】

図15～図17は、図11で示した半導体ウェーハ23に対する品種A～品種Cそれぞれの規格外含有仮想分割セル数の算出内容を示す模式図である。

【0050】

図15に示すように、図12同様、規格外セル12Ad及び規格内セル12Agがそれぞれ決定し、その結果、規格外セル数C0A(=6)及び規格内セル数C1A(=60)が求まる。したがって、使用可能領域率PUA-A=(60/66)*100=90.91%(小数点第3位を四捨五入)となる。

【0051】

図16に示すように、図13同様、規格外セル12Bd及び規格内セル12Bgがそれぞれ決定し、その結果、規格外セル数C0B(=6)及び規格内セル数C1B(=34)が求まる。したがって、使用可能領域率PUA-B=(34/40)*100=85.0%(小数点第3位を四捨五入)となる。

【0052】

図17に示すように、図14同様、規格外セル12Cd及び規格内セル12Cgがそれぞれ決定し、その結果、規格外セル数C0C(=6)及び規格内セル数C1C(=114)が求まる。したがって、使用可能領域率PUA-C=(114/120)*100=95.0%(小数点第3位を四捨五入)となる。

【0053】

このように、3つの半導体ウェーハ21～23それぞれにおいて、使用可能領域率PUA-A～PUA-Cを求めた後に実行されるステップS14の処理例を説明する。

【0054】

例えば、品種A～品種Cの良否判定基準の使用可能領域率PUAが95%以上である場合、ステップS14で以下のように用途決定（総合的な良否判定）することができる。

【0055】

品種Aにおいて、半導体ウェーハ21及び半導体ウェーハ22は良品、半導体ウェーハ23は不良品であると判定する。品種Bにおいて、半導体ウェーハ21のみ良品、半導体ウェーハ22及び半導体ウェーハ23を不良品と判定する。品種Cにおいて、半導体ウェーハ21～23のすべてを良品と判定する。

【0056】

このように、実施の形態2では、実施の形態1の効果に加え、品種A～品種C個別に半導体ウェーハの良否判定を行うことにより、用途（品種A～品種C）に応じた精度の高い良否判定が行える。

【0057】

例えば、従来であれば、通常、最も厳しい品種Bに対する基準で半導体ウェーハの良否検査が行われることにより、品種A, Cに対して本来は良品となるべき半導体ウェーハ22, 23を不良と判定していたが、本実施の形態では用途が品種A, Cの場合は半導体ウェーハ22は良品で、用途が品種Cの場合は半導体ウェーハ23は良品であると、品種に適合した良否判定を行うことができる。

【0058】

<実施の形態3>

実施の形態3では、検査結果情報データベースD3に格納すべく、検査A～検査Cの少なくとも一つの検査対象項目として「SOIウェーハのSOI層膜厚」を採用し、実施の形態1あるいは実施の形態2の検査方法を実行する。

【0059】

SOI層膜厚は、分光反射率計や分光エリプソ等により半導体ウェーハ面内分布を検査することにより得ることができる。分光反射率計は200mmφウェーハで面内1500点以上の測定がされており、実施の形態1あるいは実施の形態2の検査方法に十分適用可能である。

【0060】

このように、実施の形態3では検査対象項目に「SOIウェーハのSOI層膜厚」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【0061】

<実施の形態4>

実施の形態4では、検査結果情報データベースD3に格納すべく、検査A～検査Cの少なくとも一つの検査対象項目として「SOIウェーハのBOX層（埋込絶縁層）膜厚」を採用し、実施の形態1あるいは実施の形態2の検査方法を実行する。

【0062】

BOX層膜厚は、分光反射率計や分光エリプソ等により半導体ウェーハ面内分布を検査することにより得ることができる。分光反射率計は200mmφウェーハで面内1500点以上の測定がされており、実施の形態1あるいは実施の形態2の検査方法に十分適用可能である。

【0063】

このように、実施の形態4では検査対象項目に「SOIウェーハのBOX層膜厚」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【0064】

<実施の形態5>

実施の形態5では、検査結果情報データベースD3に格納すべく、検査A～検査Cの少なくとも一つの検査対象項目として「SOI層あるいはSOI層及びBOX層双方の損失」を採用し、実施の形態1あるいは実施の形態2の検査方法を実行する。なお、「SOI層あるいはSOI層及びBOX層双方の損失」とは、SOIウェーハのSOI層を失った欠陥またはSOI層及びBOX層の両方を失った欠陥を意味する。

【0065】

上記損失は、SOIウェーハをフッ酸に浸漬し、BOX層が円形に溶出することで顕在させ、それを光学顕微鏡観察にて検出することができる。また、As-re

ceivedウェーハ（製造処理が全く施されていないウェーハ）でもレーザー散乱式のパーティクルカウンタによって、サイズが $0.2 \mu\text{m}$ 以上のパーティクルとして検出することができる。また、画像比較により欠陥を検出する方式の検査装置でも検出することができる。

【0066】

このように、実施の形態5では検査対象項目に「SOI層あるいはSOI層及びBOX層双方の損失」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【0067】

<実施の形態6>

実施の形態6では、検査結果情報データベースD3に格納すべく、検査A～検査Cの少なくとも一つの検査対象項目として「エピウェーハのヒロック欠陥」を採用し、実施の形態1あるいは実施の形態2の検査方法を実行する。なお、「エピウェーハのヒロック欠陥」とは、エピウェーハに発生するマウンド状の欠陥を意味する。

【0068】

上記ヒロック欠陥は、エピ層膜厚とほぼ同程度のサイズの欠陥であり、エピ成長前の半導体ウェーハの異物や欠陥を核として成長した積層欠陥や異常成長部である。したがって、レーザー散乱式のパーティクルカウンタによって、エピ層膜厚と同程度のサイズのパーティクルとして検出することができる。また、画像比較により欠陥を検出する方式の検査装置でも検出することができる。

【0069】

このように、実施の形態6では検査対象項目に「エピウェーハのヒロック欠陥」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【0070】

<実施の形態7>

実施の形態7では、検査結果情報データベースD3に格納すべく、検査A～検査Cの少なくとも一つの検査対象項目として「COP(Crystal Originated Part

icle)」を採用し、実施の形態1あるいは実施の形態2の検査方法を実行する。

【0071】

COPは、Si結晶中の約 $0.1\mu m$ のボイドとして知られており、半導体ウェーハの表面では凹みとして観察される。したがって、レーザー散乱式のパーティクルカウンタのうち、半導体ウェーハの凹み欠陥を分離する機能を有するものによって、COPを検出することができる。

【0072】

このように、実施の形態7では検査対象項目に「COP」を採用することにより、より精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【0073】

図18は実施の形態3～実施の形態7の検査対象項目を表形式で列挙した説明図である。同図に示すように、実施の形態3～実施の形態7それぞれにおいて、より精度の高い良品判定を行うべく前述した内容の検査対象項目を採用している。

【0074】

<実施の形態8>

実施の形態8では、分割セルサイズデータD1及び分割セル配置データD2として、実際に製造されるデバイスと同等になるデータを与え、実施の形態1あるいは実施の形態2の検査方法を実行する。

【0075】

図19はこの発明の実施の形態8の検査方法の処理内容の一部を示す説明図である。同図に示すように、実施の形態8では、実デバイス用分割セルサイズデータD5及び実デバイス用分割セル配置データD6に基づき、仮想分割ウェーハを生成している。実デバイス用分割セルサイズデータD5及び実デバイス用分割セル配置データD6は実際に製造されるデバイスと同等になるセルサイズ及び配置等を規定するデータである。なお、他の処理は、図1で示した実施の形態1あるいは図5で示した実施の形態2の処理と同様であるため説明を省略する。

【0076】

このように、実施の形態8では実デバイス相当のデータに基づき仮想分割ウェーハを設定することにより、実デバイスに適合して精度の高い良否判定を行うことができ、その結果、半導体ウェーハの有効利用を図ることができる。

【0077】

<実施の形態9>

図20～図22は1チップのメモリデバイスにおけるメモリセル領域及び周辺領域を示す説明図である。

【0078】

これらの図に示すように、メモリデバイスは1チップ内にメモリセル領域及び周辺領域に分離形成されている。図20の例では、矩形状のチップ14内に十字状に周辺領域16が形成され、それ以外の領域がメモリセル領域15となっている。図22の例ではチップ14内の中央部に形成されるメモリセル領域15の周辺を囲んで周辺領域16が形成されている。図22のチップ14内においてメモリセル領域15及び周辺領域16が交互に形成されている。

【0079】

図23は実施の形態9の半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

【0080】

同図を参照して、ステップS31で、半導体ウェーハ1に対して検査Aに基づく検査を行い、その全検査結果を検査情報として検査結果情報データベースD13に与える。

【0081】

そして、ステップS32、S33において、半導体ウェーハ1に対して検査B及び検査Cに基づく検査を行い、検査B及び検査Cそれぞれ全検査結果を検査情報として検査結果情報データベースD13に与える。

【0082】

一方、ステップS41において、仮想分割単位セルをチップサイズより細分化したセルサイズ及び形状等を規定する分割セルサイズデータD11及びメモリセル領域と周辺領域とに独立分離して各セルが配置されるように規定された分割セ

ル配置データD12に基づき、仮想ウェーハ上が仮想分割単位セルによって仮想的に分割された仮想分割ウェーハ20Mを生成する。すなわち、仮想分割ウェーハ20M上には複数のメモリセル用仮想分割単位セル12Mと複数の周辺領域用仮想分割単位セル12Pとが配置される。

【0083】

このように、ステップS41の処理によって、仮想分割単位セル12をチップサイズよりも細分化することにより、メモリセル領域及び周辺領域それぞれに仮想分割単位セル12M及び12P（実施の形態2では12A～12C）が2つの領域に重複することなく独立に存在するように、仮想分割ウェーハ20Mを生成させる。

【0084】

そして、ステップS42において、検査結果情報データベースD13を仮想分割ウェーハ20M上で照合しながら規格外部の検出を行う。すなわち、モリセル用仮想分割単位セル12Mに対して、メモリセル用の検査A～検査Cそれぞれの規格値MR-A～MR-Cに基づき検査A～検査Cの検査情報をそれぞれ検証することによりメモリセル用規格外部を検出するとともに、周辺領域用仮想分割単位セル12Pに対しては周辺領域用の規格値PR-A～PR-Cに基づき検査情報を検証することにより規格外部を検出する。

【0085】

そして、ステップS43において、メモリセル用の規格外部の有無に基づき、メモリセル用仮想分割単位セル12Mをメモリセル用規格内セル及び規格外セルに分類し、メモリセル用規格内セル数C1M及び規格外セル数C0M数をそれぞれ算出するとともに、周辺領域用の規格外部の有無に基づき、周辺領域用仮想分割単位セル12Pを周辺領域用規格内セル及び規格外セルに分類し、周辺領域用規格内セル数C1P及び規格外セル数C0P数をそれぞれ算出する。

【0086】

続いて、図1のステップS43において、全仮想分割単位セル数C10に対する規格内セル数C1を求める。この際、以下の2つの使用可能領域率PUAの求め方が考えられる。

【0087】

①メモリセル領域用及び周辺領域用を併せて、実施の形態1及び実施の形態2同様に、使用可能領域率PUAを求める。すなわち、仮想分割単位セル12Mの総数をC10M、周辺領域用仮想分割単位セル12Pの総数をC10Pとすれば、 $PUA = \{ (C1M + C1P) / (C10M + C10P) \} \cdot 100$ を求める。

【0088】

②メモリセル用仮想分割単位セル12Mにおける使用可能領域率PUA-Mと、周辺領域用仮想分割単位セル12Pにおける使用可能領域率PUA-Pとを別々に求める。すなわち、 $\{ PUA-M = (C1M / C10M) \cdot 100 \}$ 、 $\{ PUA-P = (C1P / C10P) \cdot 100 \}$ を求める。

【0089】

そして、ステップS34において、ステップS44で得た使用可能領域率PUAに基づき良否判定を行い、最終的な出荷の判断を行う。この際、使用可能領域率PUAに基づき価格設定を行うことにより、実デバイスの規格外部の影響を加味した価格設定が可能となる。

【0090】

このように、実施の形態9は、メモリデバイス用の半導体ウェーハに対し、同内容の検査であってもメモリセル領域及び周辺領域それぞれで異なる規格値で規格外部を検出することにより、メモリセル領域及び周辺領域それぞれの特性を考慮した精度の高い良否判定を行うことができる。

【0091】

また、システムオンチップは各種機能ブロックがワンチップに混載されている。機能ブロックとしては、CPU等のロジック回路部、メモリなどの記憶保持部、高周波素子部やMEMS (Micro-Electro-Mechanical System)による受動素子などがあり、これらをワンチップ化して多機能かつ高性能な半導体デバイスを構築できる。このようなシステムオンチップに対しても、メモリデバイスと同様に、仮想分割単位セル12を細分化して各機能ブロック内にそれぞれ独立して存在するように、各検査対象項目における規格値も機能ブロック単位で異なる内容に

設定し、上述したステップS31～S33及びS41～44と同様な処理を行う。

【0092】

その結果、システムオンチップ用の半導体ウェーハに対し、各機能ブロックの特性を考慮した精度の高い良否判定を行うことができる。

【0093】

なお、実施の形態9の検査方法を実施の形態2のように複数の品種に対応して総合的に評価することも勿論可能である。

【0094】

<実施の形態10>

図24はこの発明の実施の形態10である半導体ウェーハの購入価格決定方法を示すフローチャートである。

【0095】

同図を参照して、ステップS51で、実施の形態1～実施の形態9による良否判定処理による使用可能領域率PUAを算出する。

【0096】

そして、ステップS52において、使用可能領域率PUAに基づき半導体ウェーハの実質購入価格を決定する。

【0097】

以下、ステップS52の実質購入価格の決定例を①～④として以下に示す。

【0098】

①使用可能領域率PUA = 100%の場合の価格を基本価格P1に設定し、実質購入価格PSを {PS = P1 * (PUA / 100)} で決定する。

【0099】

②使用可能領域率PUAが予め設定した基準率を満足した半導体ウェーハのみを、予め設定した購入価格で決定するようする。

【0100】

③全半導体ウェーハのうち、使用可能領域率PUAが予め設定した基準率を満足した半導体ウェーハの数の比率が一定割合以上の場合に、全半導体ウェーハを

、予め設定した購入価格で決定するようする。

【0101】

④使用可能領域率PUAに対応するn個の基準値REF1～REFn (REF1>REF2>…>REFn) 設定し、PUA>REF1の時の価格をPS1、REF1>PUA≥REF2の時の価格をPS2, REF(i-1)>PUA≥REFi (i=2～n) の時の価格をREFiと設定する。但し、PS1>PS2>…>PSnとする。

【0102】

このように、実施の形態10の半導体ウェーハの購入価格決定方法は、半導体ウェーハの良品度合を正確に反映した購入価格を決定することができる。

【0103】

【発明の効果】

以上説明したように、この発明における請求項1記載の半導体ウェーハの検査方法は、規格内セルの数に関連した使用可能セル率に基づくことにより、規格外部の半導体ウェーハ上の発生位置を考慮した精度の高い良否検査を行うことができる。

【0104】

加えて、複数の仮想分割単位セルの総数に対する規格内セルの数の比である使用可能セル率に基づくことにより、半導体ウェーハのサイズ及び仮想分割単位セルの総数等の変更によっても、高い良否判定精度を維持することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

【図2】 検査実行後の半導体ウェーハの規格外部状況を示す説明図である

。

【図3】 仮想分割ウェーハの一例を示す説明図である。

【図4】 規格外部含有仮想分割セル数の算出内容を示す説明図である。

【図5】 この発明の実施の形態2である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

- 【図6】 仮想分割ウェーハ例を示す説明図である。
- 【図7】 仮想分割ウェーハ例を示す説明図である。
- 【図8】 仮想分割ウェーハ例を示す説明図である。
- 【図9】 検査済み半導体ウェーハの欠陥状況をウェーハマップ状に示した模式図である。
- 【図10】 検査済み半導体ウェーハの欠陥状況を示した模式図である。
- 【図11】 検査済み半導体ウェーハの欠陥状況を示した模式図である。
- 【図12】 品種Aの規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図13】 品種Bの規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図14】 品種Cの規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図15】 品種Aの規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図16】 品種Bの規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図17】 品種Cの規格外部含有仮想分割セル数の算出内容を示す模式図である。
- 【図18】 実施の形態3～実施の形態7の検査対象項目を表形式で列挙した説明図である。
- 【図19】 この発明の実施の形態8の検査方法の処理内容の一部を示す説明図である。
- 【図20】 メモリデバイスにおけるメモリセル領域及び周辺領域を示す説明図である。
- 【図21】 メモリデバイスにおけるメモリセル領域及び周辺領域を示す説明図である。
- 【図22】 メモリデバイスにおけるメモリセル領域及び周辺領域を示す説明図である。

【図23】 この発明の実施の形態9である半導体ウェーハの検査方法の処理手順をデータの流れと共に模式的に示す説明図である。

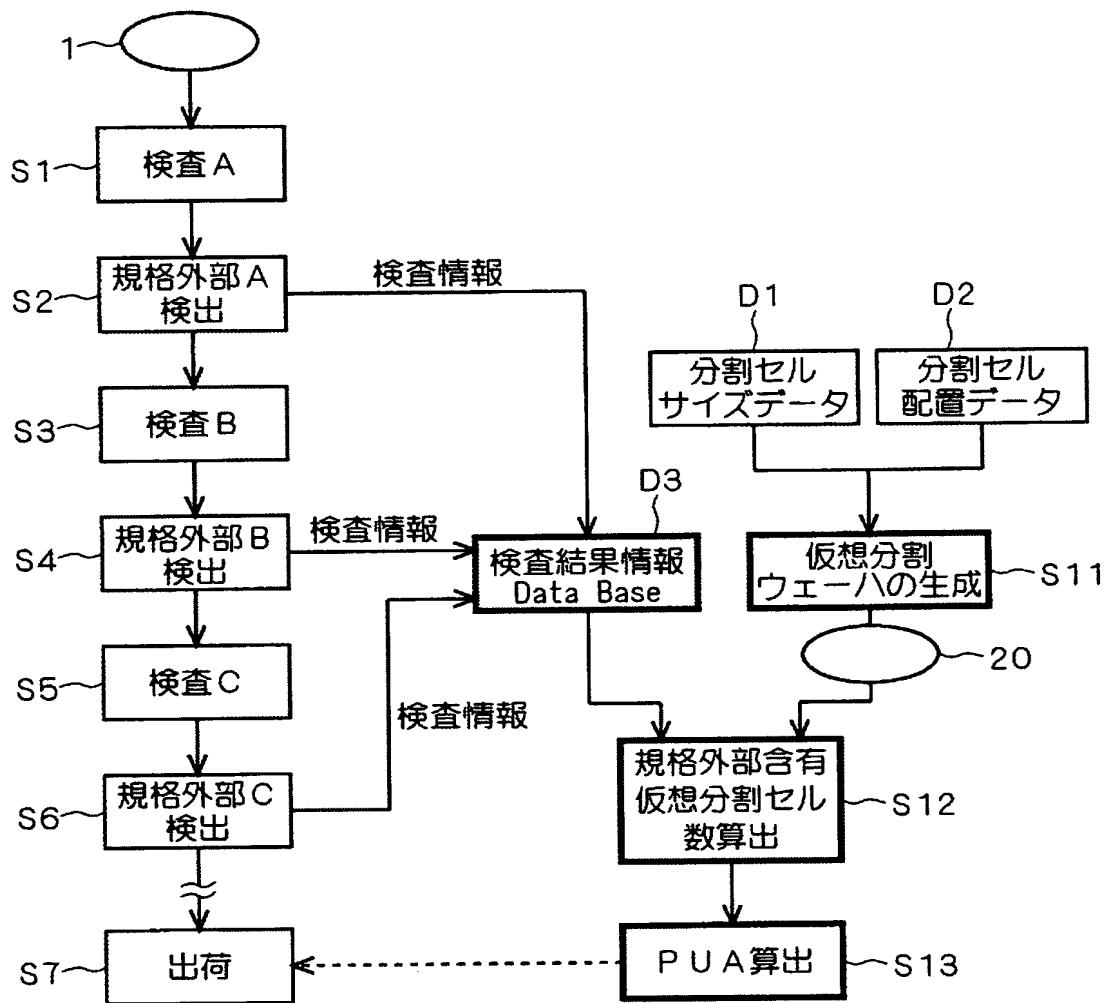
【図24】 この発明の実施の形態10である半導体ウェーハの購入価格決定方法を示すフローチャートである。

【符号の説明】

1, 21～23 半導体ウェーハ、2, 2A～2C 欠陥、12 仮想分割単位セル、12g, 12Ag～12Cg 規格内セル、12d, 12Ad～12Cd 規格外セル、15 メモリセル領域、16 周辺領域、20, 20A～20C, 20M 仮想分割ウェーハ。

【書類名】 図面

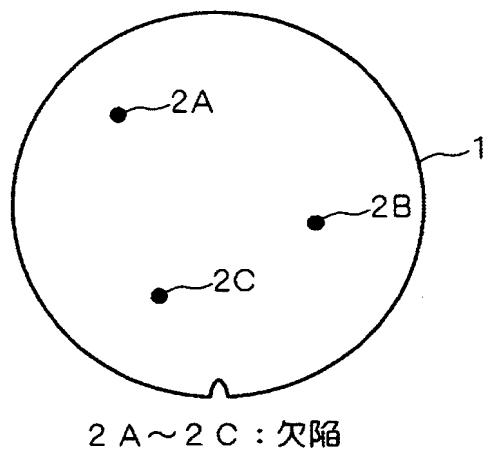
【図1】



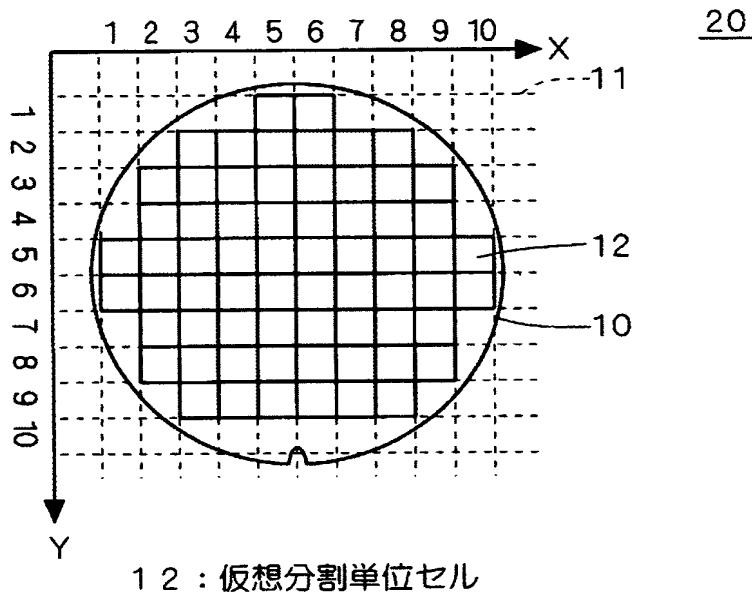
1 : 半導体ウェーハ

20 : 仮想分割ウェーハ

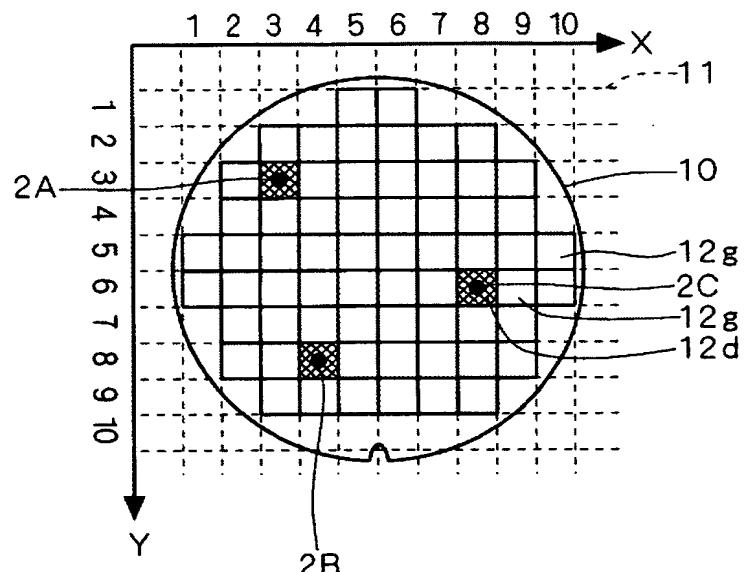
【図2】



【図3】



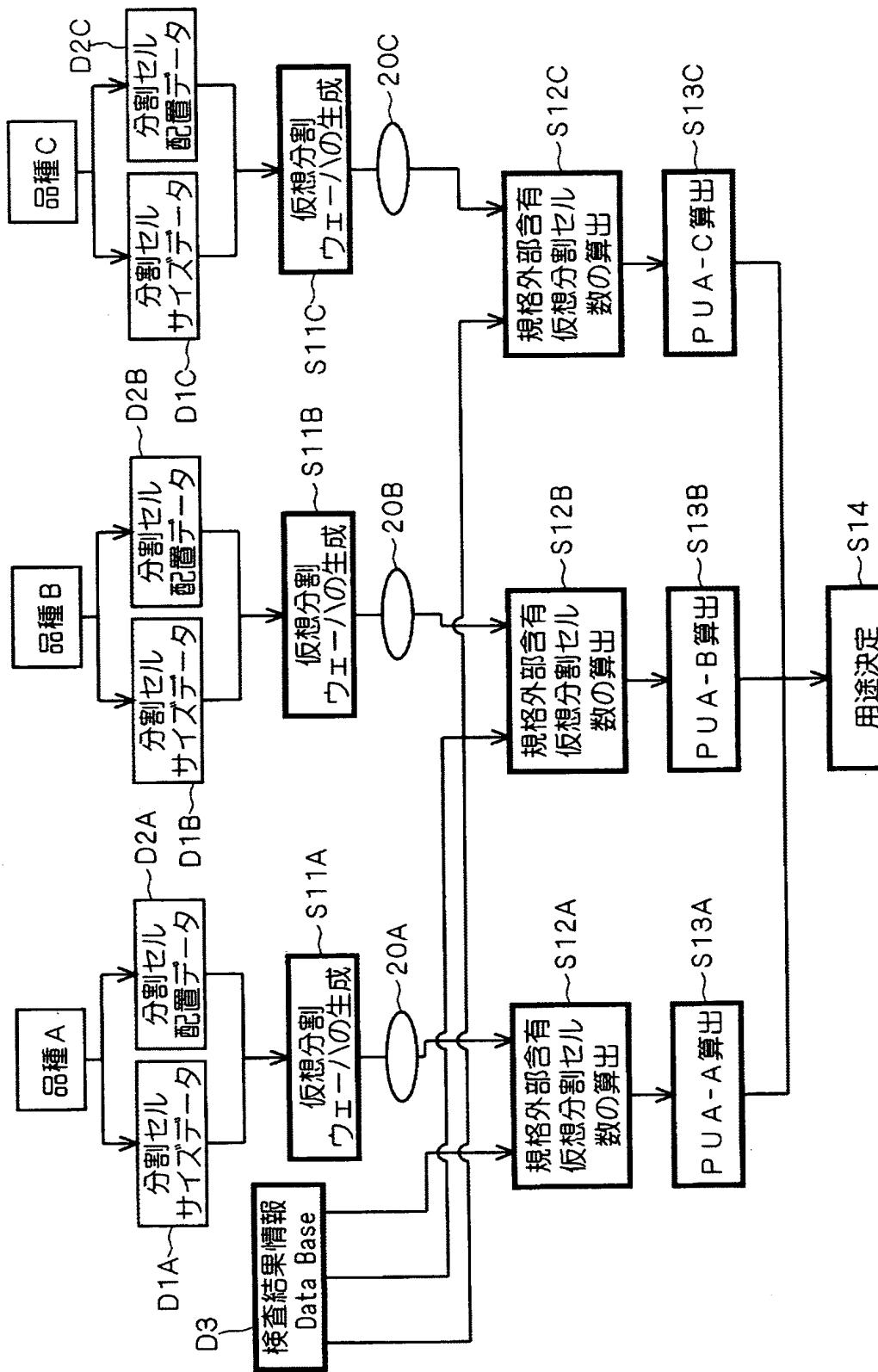
【図4】



12 d : 規格外セル

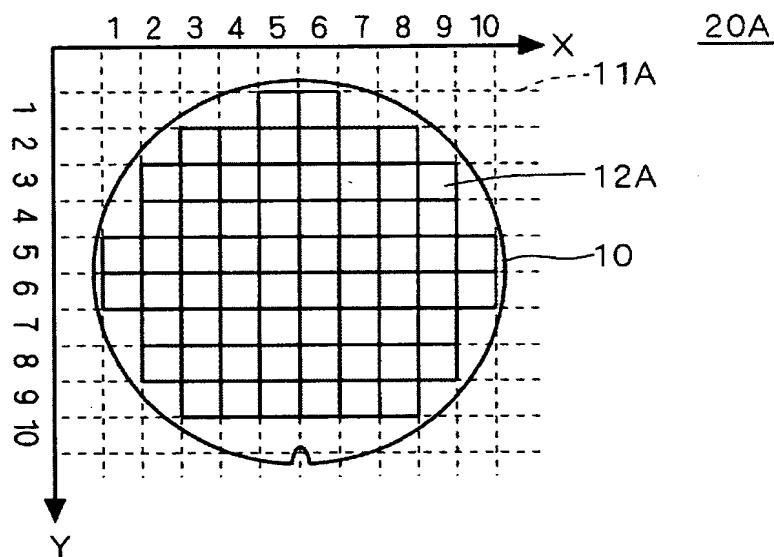
12 g : 規格内セル

【図5】



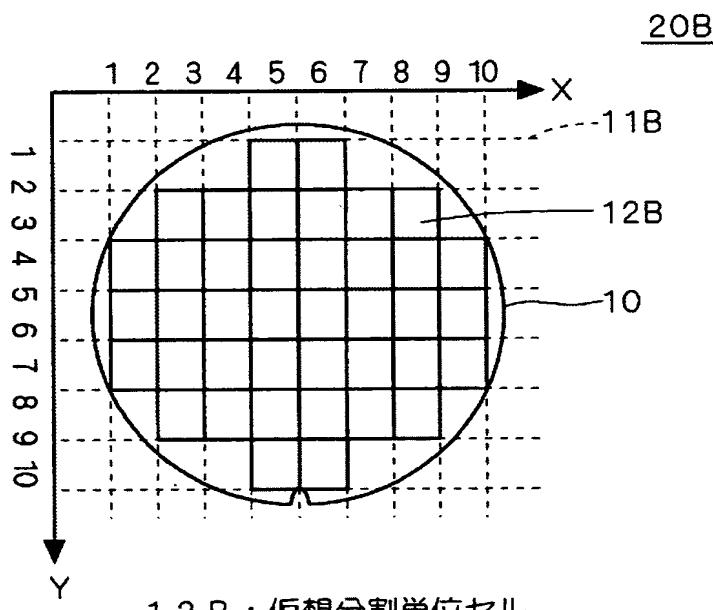
20A~20C : 仮想分割ウェーノ

【図6】



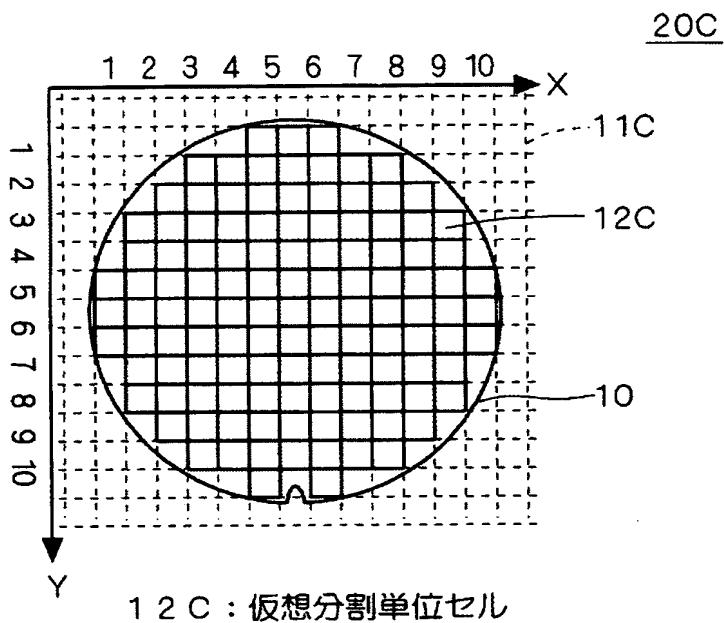
12A：仮想分割単位セル

【図7】

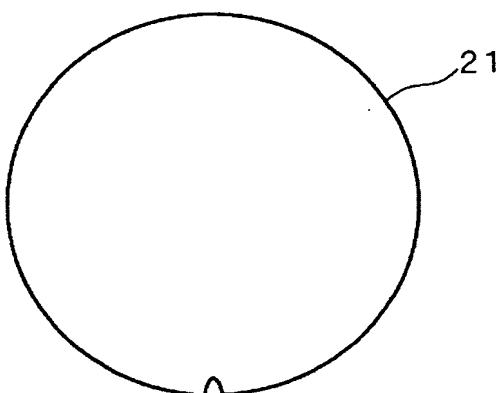


12B：仮想分割単位セル

【図8】

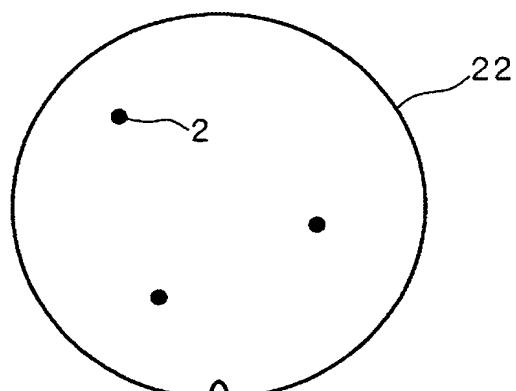


【図9】



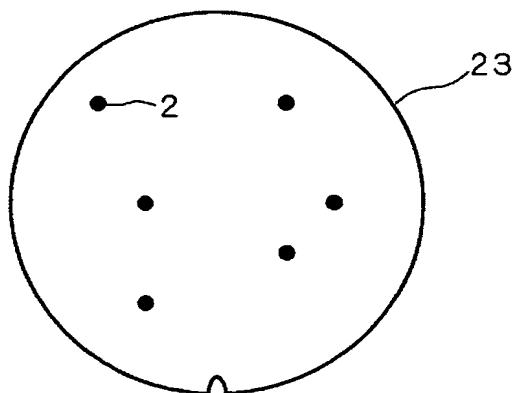
21：半導体ウェーハ

【図10】



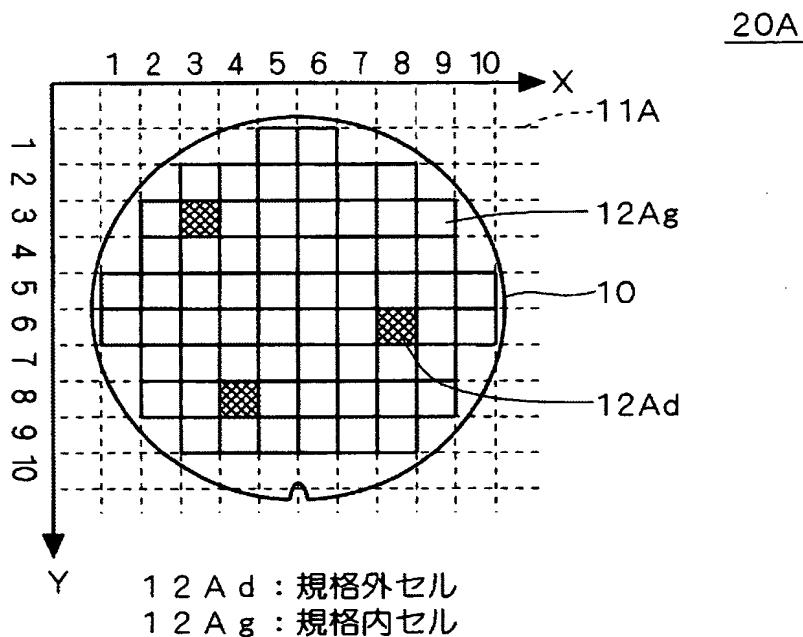
22：半導体ウェーハ

【図11】

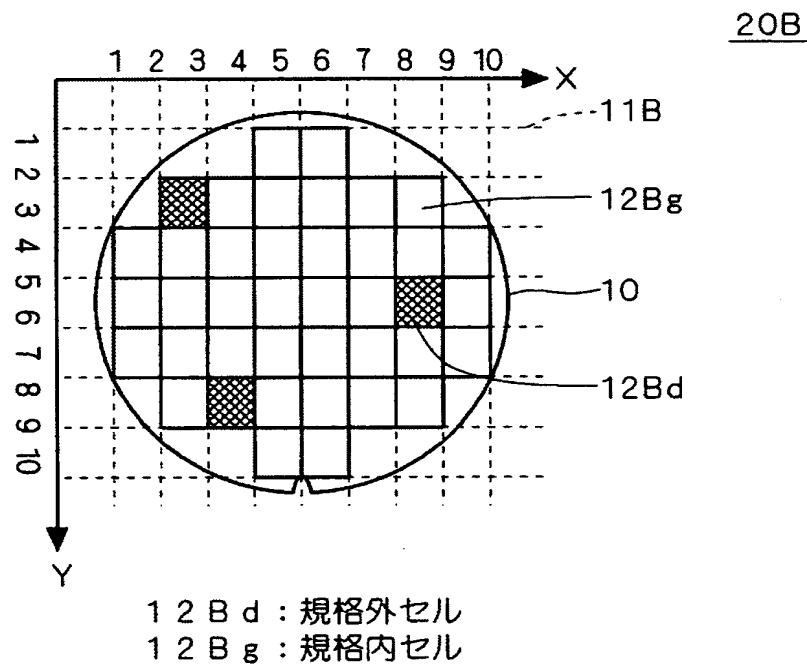


23：半導体ウェーハ

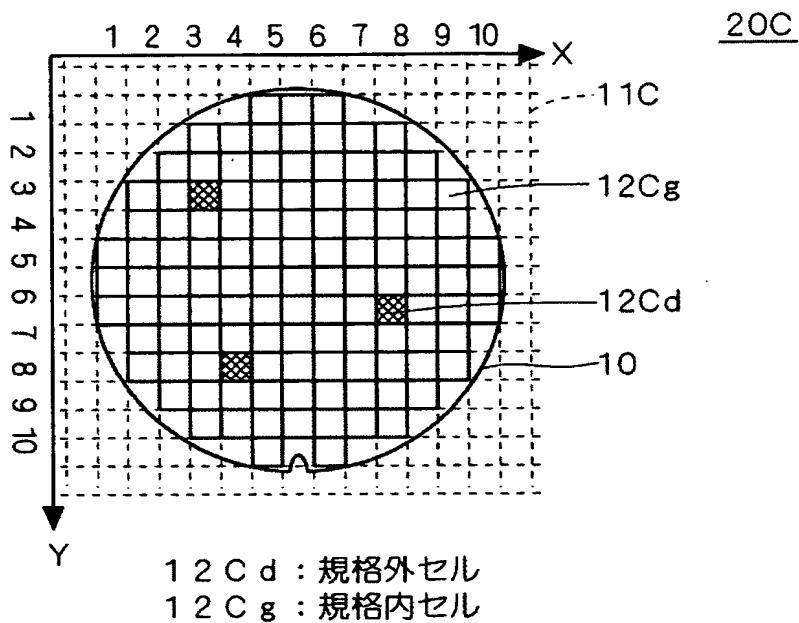
【図12】



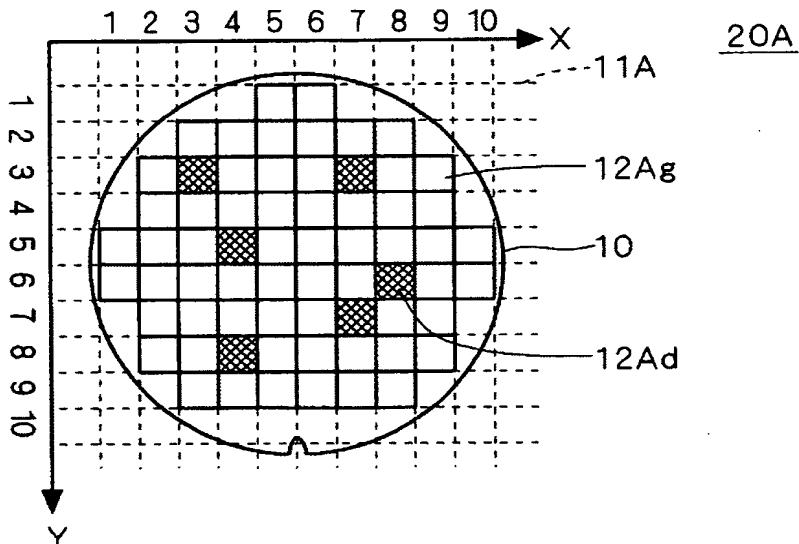
【図13】



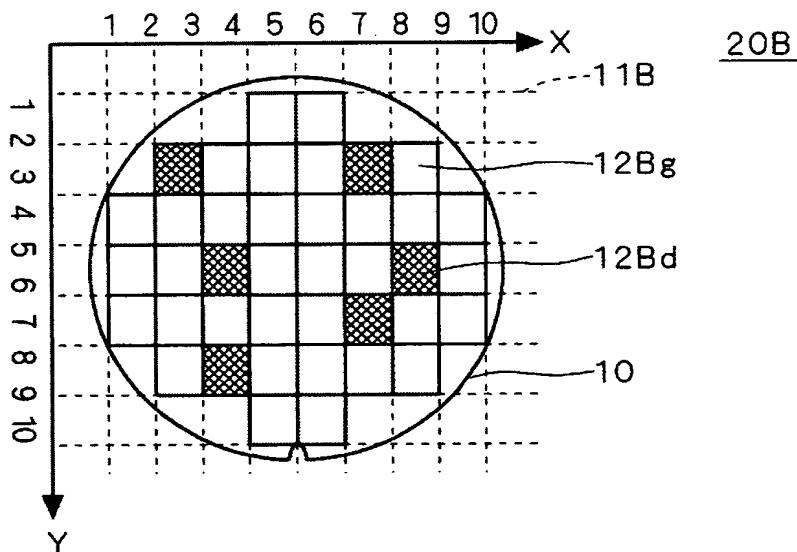
【図14】



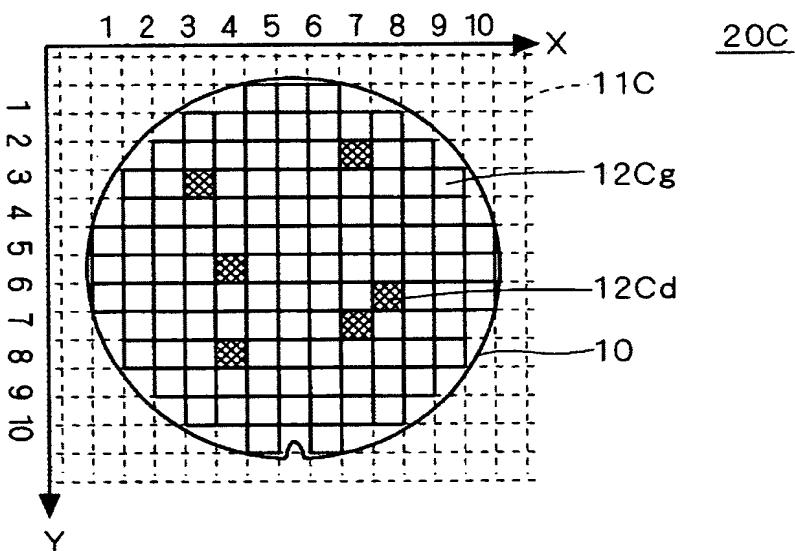
【図15】



【図16】



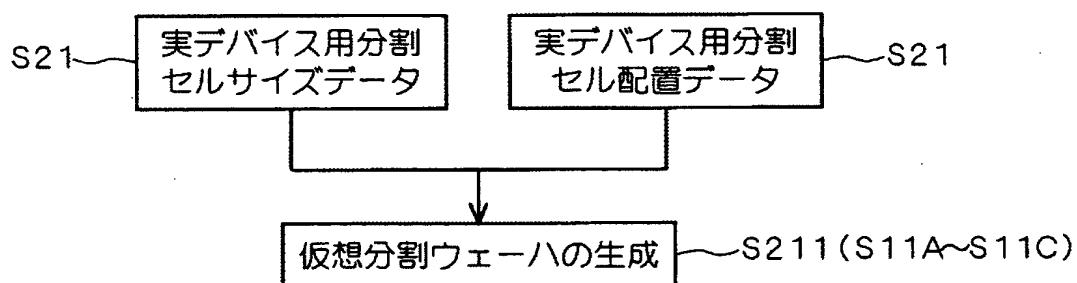
【図17】



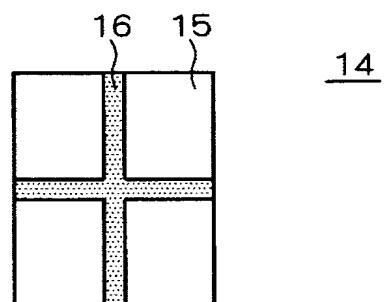
【図18】

実施の形態No.	検査対象項目
3	SOIウェーハのSOI層の膜厚
4	SOIウェーハのBOX層の膜厚
5	SOIウェーハのSOI層あるいはSOI層及びBOX層の損失
6	エピタキシャルウェーハのヒロック状の欠陥
7	COP

【図19】



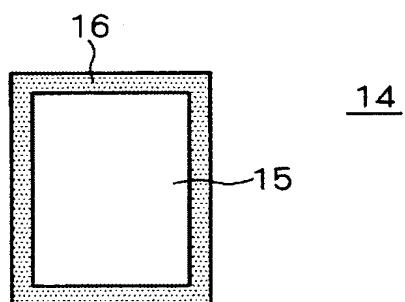
【図20】



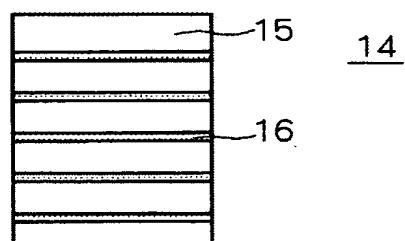
15 : メモリセル領域

16 : 周辺領域

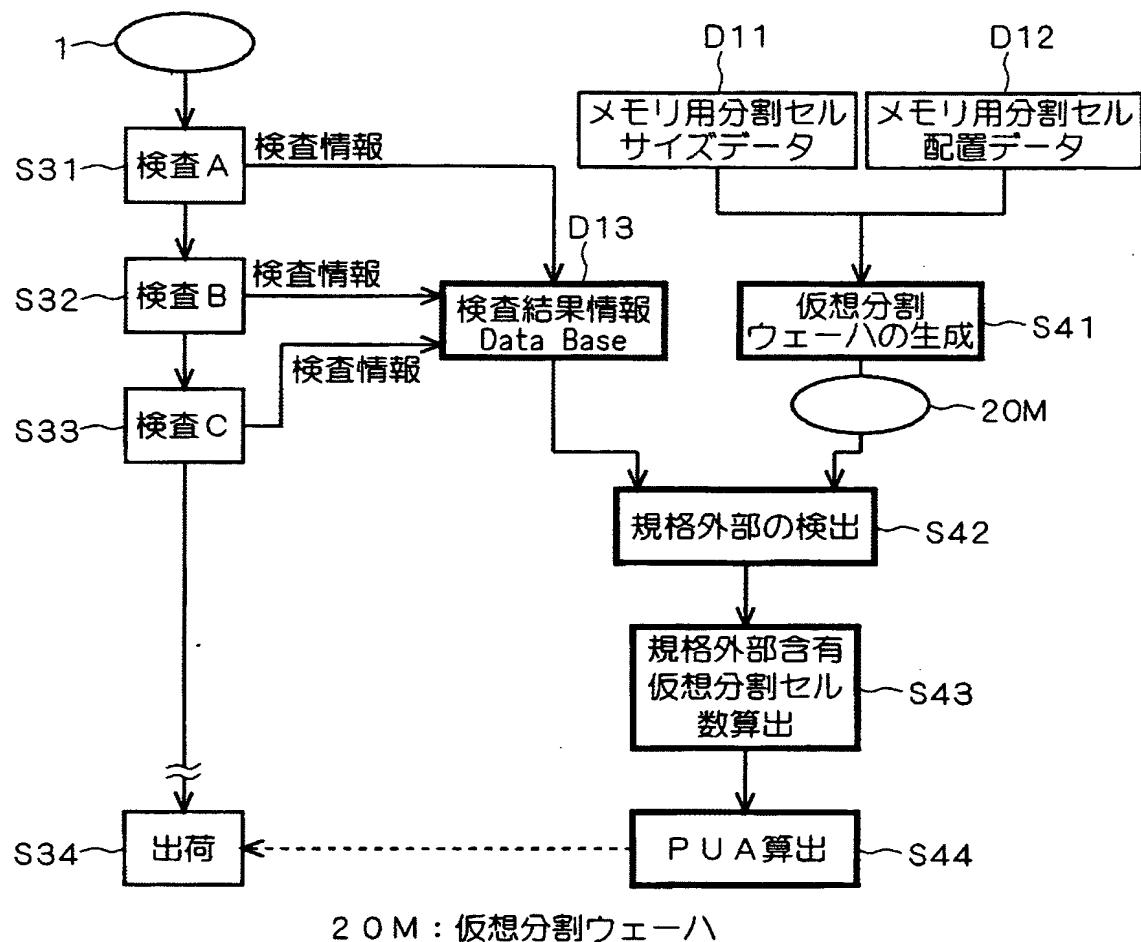
【図21】



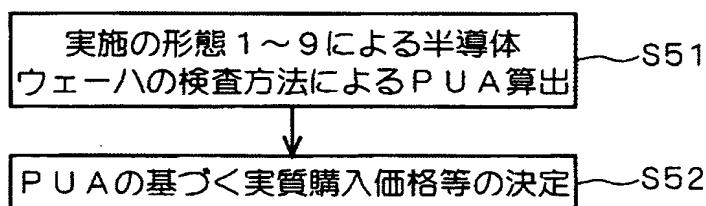
【図22】



【図23】



【図24】



【書類名】 要約書

【要約】

【課題】 正確な検査が可能な半導体ウェーハの検査方法を得る。

【解決手段】 ステップS11で、分割条件を規定する分割セルサイズデータD1及び分割セル配置データD2に基づき仮想分割ウェーハ20を生成する。ステップS12において、検査結果情報データベースD3を仮想分割ウェーハ20上で照合することにより、規格外部を有する規格外セル数C0及び規格外部を有さない規格内セル数C1をそれぞれ算出する。ステップS13において、全仮想分割単位セル数C10と規格内セル数C1とにに基づき、使用可能領域率PUA(%)($= (C1 / C10) * 100$)を求める。

【選択図】 図1

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社